

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
A47J 43/06

(11) 공개번호 특1998-081093
(43) 공개일자 1998년11월25일

(21) 출원번호 특1998-011965
(22) 출원일자 1998년04월04일
(30) 우선권주장 8/835,128 1997년04월04일 미국(US)
(71) 출원인 인터내셔널비즈니스머신즈코포레이션 포안제프리엘
미국 뉴욕주 10504 아몬크
(72) 발명자 루텐매튜제이
미국 버몬트주 05468 밀튼 엘머 플라이스 23
볼드만스티븐에이치
미국 버몬트주 05403 사우쓰 버링톤 올드 팜 로드 75
(74) 대리인 김창세, 장성구

심사청구 : 있음

(54) 매립된 에스오아이 구조에 대한 전기적인 접점 및 그 제조 방법

요약

전기 전도성 스테드들을 채택하여 반도체 장치 내에서 벌크 능동 소자들과 SOI 소자들을 상호접속한다. 또한, 그러한 소자들을 제조하는 방법도 제시된다.

대표도

도5

명세서

도면의 간단한 설명

도 1 및 도 2는 본 발명에 따른 공정의 개별적인 단계에서의 구조를 도시한 개략도.
도 3과 도 4는 분리 트렌치를 채택한 본 발명의 실시예의 개별적인 단계에서의 구조를 도시한 개략도.
도 5는 본 발명과 일치하는 구조를 도시한 동일 축적도.
도 6은 본 발명의 대안적인 실시예를 도시한 동일 축적도.
도 7은 본 발명의 또 다른 실시예를 도시한 개략도.
도 8은 본 발명의 또 다른 실시예를 도시한 부분적 동일 축적도.
도 9는 본 발명의 또 다른 실시예를 도시한 부분적 동일 축적도.
도 10은 본 발명의 또 다른 실시예를 도시한 부분적 동일 축적도.
도 11은 본 발명의 또 다른 실시예를 도시한 부분적 동일 축적도.

도면의 주요 부분에 대한 부호의 설명

1: p+ 타입 실리콘 기판	3: 매립된 절연층
4: 실리콘 층	6: 게이트
9: n- 타입 웰	11: 접합 트렌치
14: 분리 트렌치	22: 매립된 절연층
26: 상호접속부	31: 매립된 절연층
32: 컨덕터	33: 상호접속부
34: 절연층	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 벌크 능동 소자와 SOI 소자를 포함하는 SOI 반도체 소자에 관한 것이다. 구체적으로, 본 발명은 SOI 구조의 유전체 위와 아래 소자들 사이에 전기적 상호접속부를 제공하는 것에 관한 것이다. 본 발명은 또한 이러한 소자들을 제조하고, 이에 필요한 전기적 상호접속부(interconnection)를 제공하기 위한 공정에 관한 것이다. 본 발명은 특히 매립된(buried) SOI 구조에 대한 BEOL(back end of line)접점에 관한 것이다.

벌크 실리콘 상에서의 MOSFET 스케일링이 CMOS 칩 성능 및 밀도 목표들을 획득하기 위하여 반도체 및 마이크로 전자 산업의 주요한 관심사가 되어 왔다. 고밀도, 저 전력 및 성능 향상을 위하여 MOSFET 용적을 줄이려고 하면 전원 전압을 줄여야 한다. 소비 전력 P 는 커패시턴스 C , 전원 전압 V 와 천이 주파수

f 의 함수이기 때문에, $P = CV^2f$ 에서 천이 주파수가 증가함에 따라 C 와 V 양쪽을 줄이는 쪽으로 관심이 집중되었다. 결과적으로, 유전체 두께와 채널 길이는 전원 전압과 함께 스케일링된다. 전력 공급의 축소가 장래 저 전압 CMOS를 위한 추세라 되어 가고 있다. 하지만, 전력 공급의 축소로 인하여, 트랜지스터 성능은 저 전압에서 접합 커패시턴스와 MOSFET 바디 효과(body effect)에 의해 심각하게 열화된다. 기술적으로 채널 길이가 $0.25\mu\text{m}$ 보다 작은 $0.15\mu\text{m}$ 와 $0.1\mu\text{m}$ 로 스케일링되면, 쇼트 채널 효과(short channel effect; SCE) 제어, 게이트 저항, 채널 프로파일링과 다른 장애들이 진보된 CMOS 기술에 대하여 문제시된다. 벌크 CMOS 기술의 연속적인 스케일링으로 괄목한 성공을 이루어왔지만, 제조 공정 제어 문제들과 전력 소모는 다루기가 더 어렵게 될 것이다.

SOI(silicon-on-insulator) 기판을 사용하면, 벌크 실리콘 CMOS가 안고 있는 많은 문제들 및 장애들을 비교적 낮은 전원 전압에서 제거할 수 있다. SOI상 CMOS 기술은 벌크 CMOS에 비해 상당한 이점들을 가지며, 따라서 장래의 기술들을 위한 저 전력 및 고성능이라는 스케일링 목적들을 달성할 것이다. SOI상 CMOS 기술은 낮은 전력 소모, 낮은 누설 전류, 커패시턴스가 낮은 다이오드 구조들, 양호한 부임계치(sub-threshold) I-V 특성들(60mV/decade 보다 양호함), 알파 입자 및 우주선으로 인한 낮은 소프트 에러율, 양호한 SDRAM 액세스 시간과 다른 기술적인 이점들을 제공한다. SOI 기술에 의해 표준적인 진보 기술들을 별다른 수정 없이 SOI 기술로 매핑할 수 있다. SOI 공정 기술들은 ELO(epitaxial lateral overgrowth), LSPE(lateral solid-state epitaxy)와 FIPOS(full isolation by porous oxidized silicon)를 포함하고 있다. SOI 회로망들은 낮은 결함 밀도, 얇은 막 제어, 양호한 소수 캐리어 수명과 양호한 채널 이동도 특성을 나타내기 때문에 SIMOX(separation by implanted oxygen) 및 SIBOND(separation by wafer-bonding and etch-back) 기술들로 구성된 반도체 공정을 사용하여 구성될 수 있다. 구조적 특징들은 얇은 트랜치 격리(shallow-trench isolation: STI)에 의해 정의된다. 얇은 트랜치 격리는 평탄도 문제들과 LOCOS 새부리(bird's beak)와 같은 다방향(multi-dimensional) 산화 효과를 제거하고, 이에 의하여 기술 변천(migration) 및 $0.25\mu\text{m}$ 이하로의 스케일링 기술들이 가능하게 된다.

SOI 기술에는 다수의 문제점들이 있다. 전류에 의해 생성된 자체 발열의 열적 발산이 그 하나이다. 이 경우, 벌크에 대한 저열(低熱)저항 접점(예컨대, 열적 접점들)을 세울 수 있으면 이러한 문제점을 경감시킬 수 있다.

박막 SOI 기술에서는, 아날로그 응용에 통상 사용되는 수직 다이오드, 수직 트랜지스터, 수직 pnpn 혹은 다른 벌크 타입 엘리먼트들이 존재하지 않는다. 벌크 실리콘에 배치될 수 있는 아날로그 회로 및 소자 엘리먼트들을 사용하면 칩 영역을 줄이고 벌크 실리콘과 유사한 회로 동작을 얻을 수 있다.

또 다른 장애는 정전기 방전(electrostatic discharge: ESD)보호이다. SOI가 가지는 하나의 문제점은 폴리실리콘 게이트 에지(edge)가 존재하지 않으면서도 공정에 자연스런 다이오드가 없다는 것이다. 박막 SOI 기술에는, 정전기 방전 보호를 위해 통상 사용되는 수직 다이오드, 수직 트랜지스터, 수직 pnpn 혹은 다른 벌크형 엘리먼트들이 존재하지 않는다. 벌크 실리콘내에 배치될 수 있는 ESD 회로와 소자 엘리먼트들을 사용하면 칩 영역을 줄이고 벌크 실리콘과 유사한 회로 동작을 얻을 수 있다. 대용량의 산업적 용도에 적합한 주류 SOI 기술에 있어 ESD에 대한 강인성(robustness)을 획득하기 위하여, ESD 보호 구조 및 회로는 작은 비율의 반도체 칩 영역뿐만 아니라 낮은 저항 및 커패시턴스를 가져야만 한다. SOI ESD 회로망의 단점은 1) 벌크 기판에 대한 높은 열임피던스(thermal impedance), 2) 박막들, 3) 폴리실리콘 게이트 구조들, 4) 수직 실리콘 다이오드의 부족이 그것이다. 높은 열임피던스는 SOI 막내 높은 표면 온도를 생성하여 SOI 소자내에 이차적인 열적 항복을 일으킨다. 박막 SOI 소자들은 상당한 전력 및 밀도 제약을 가져오는 고전류 밀도를 일으킨다. 폴리실리콘 게이트 구조는 고 커패시턴스를 일으키는 전기적인 과부하 및 유전 항복(dielectric breakdown)에 취약하다. 수직 구조의 부족은 전류가 벌크 쪽으로 발산되는 것을 막아 넓은 외주(perimeter)의 측면 구조가 생기게 된다. 결과적으로, SOI에 있어 단점은 부(-)의 ESD 펄스 보호가 정(+)의 ESD 펄스 보호만큼 어렵다는 것이다. 벌크 실리콘에서는, 벌크 기판으로의 전류 발산 때문에 비교적 작은 구조를 사용하여 부(negative) 모드 펄스에 대한 ESD-보호가 쉽게 달성된다. 하지만 SOI에서는 이와 같이 되지 않는다. 이것은 설계자로 하여금 정(positive) 모드 보호 대책들 만큼 부 모드를 위한 영역을 할당하도록 강요한다.

종래 기술에서는, ESD 보호를 달성하기 위하여 상이한 대안들이 현재까지 제안되었다. 표준회로들이 SOI내에 만들어져 ESD 보호용으로 사용된다. 케이 베라지등(K.Verhaege et al.)에 의한 Analysis of Snapback in SOI NMOSFETs and its Use for an SOI ESD Protection Circuit, Proceedings of the IEEE SOI Conference, pp.140-141, 1992와 Double Snapback in SOI NMOSFETs and its Application for SOI ESD Protection, IEEE Electron Device Lett., Vol.14, No.7, July 1993, pp.326-328에서는 SOI MOSFET 트랜지스터를 ESD 보호 소자로서 사용하는 것에 대해 기술한다. 루(Lu)에 의한 ESD Protection for SOI Circuits라는 명칭의 미국 특허 제 4,989,057 호에서는 ESD 보호를 위하여 SOI 막내에 트랜지스터를 사용하는 것에 관해 기술한다. 볼드만등(Voldman et al.)에 의한 CMOS-on-SOI ESD Protection Networks, EOS/ESD Proceedings, Sept. 1996에서는 MOSFET를 다이오드 동작모드로 구성함으로써 박막 SOI ESD 소자들 이 만들어 질 수 있음을 기술하고 있다. 첫 번째 문제는 SOI 기반 ESD회로들은 벌크 소자보다 적어도

2X 인자만큼 나쁘다는 것이다. 엠 찬등(M.chan et al.)에 의한 Comparison of ESD Protection Capability of SOI and Bulk CMOS Output Buffers, IRPS 1994에서는 SOI 회로들이 2X만큼 ESD에 대해 덜 강인함을 보이고 있다. 따라서, 매우 큰 ESD 회로망을 필요로 할 것이며, 이는 크기 및 커패시턴스 부하 측면에서 수용할 수 없다. 두 번째 문제는 상기 구조들이 모두 MOSFET를 기반으로 한다는 것이다. 상기 구조들은 모두 폴리실리콘 게이트 구조를 도입하고 있다. 폴리실리콘 게이트 구조에 대한 문제점은 유전체 과부하와 단위 폭(width)당 높은 커패시턴스이다. 이러한 해결책들은 모두 신뢰도와 기능적인 관점에서 수용될 수 없다.

상기 구현 예들에서, 이들 구조는 단지 능동 코어(core) SOI 회로에 인접한 벌크 엘리먼트들만을 이용한다. 카와이(Kawai)에 허여된 미국 특허 제 4,889,829 호에서는 기판내에 벌크 트랜지스터들을, 그리고 절연막내에 SOI 트랜지스터들을 만드는 방법을 기술한다. 이러한 방법에서는, 벌크 트랜지스터가 동일한 평면내의 능동 영역 구조들에 인접하게 만들어져야 한다. 이것은 형상적인 문제외에도 벌크 트랜지스터에 대해 추가적으로 집영역이 제공될 것을 필요로 한다. 카와이(Kawai)의 문헌에서는 현저한 형상을 도입하고 있는데, 이 점때문에 고밀도 및 평탄도 집적 문제들에 만족스럽지 못하게 된다.

선(Sun)에 허여된 미국 특허 제 5,399,507 호는 ESD 소자들이 벌크내에 구축되고, 산소 임플란트가 마스크되고, 코어 SOI 소자들이 절연층위에 만들어지는 합성 박막을 제안했다. 상기 개념에서는, ESD MOSFET 구조들은 동일한 물리적인 실리콘 평면 내에서 능동 집적 회로들과 인접하여 배치된다. 이러한 개념에 의하면 평탄도 문제가 없어지지만 실리콘 전위(dislocation)가 발생하며, 이는 제조 관점에서 수용될 수 없다. 실리콘의 전위를 피하기 위해서는, 수율(yield) 문제를 피하기 위해 능동 코어 SOI 구조들이 공간적으로 분리되어야만 한다. 이는 면적 손실을 야기한다. 상기 제안된 해결책들은 SOI 박막내에 ESD 회로망을 구축하는 문제들을 해결하기는 하지만, 반도체 제조 문제, 수율 문제와 형상을 해결하지 못한다.

상기에서는, 반도체 칩 면적 문제를 제거하기 위해 ESD 구조를 능동 회로 밑에 사용하는 ESD 해결책들이 제안되지 않았다. 카와이와 선의 문헌에서는, 벌크 MOSFET 소자들을 만듦으로써 ESD 소자를 위한 SOI MOSFET와 다이오드 구조를 사용하는 것을 피한다. 베라지와 루의 문헌에서는, 벌크 소자들은 회피된다. 따라서 종래 기술에 있어, ESD 보호를 위해 벌크 트랜지스터와 SOI 트랜지스터 양쪽을 모두 사용하는 분명한 동기는 없다. 또한, 3 차원 구조가 ESD 해결책으로서 제안되지도 않았다. 이는 SOI MOSFET 밑에 벌크 MOSFET를 만드는 것이 불가능하기 때문이다. 오미(Ohmi)에 허여된 미국 특허 제 4,907,503 호는 이중게이트 MOSFET를 사용하여 SOI MOSFET 트랜지스터 내에서의 백 게이트 바이어싱(back gate biasing)문제를 다룬다. 오미의 문헌에서는 하위 게이트가 벌크내에 배치되고 상위 게이트가 SOI 게이트 위에 배치되는 SOI MOSFET를 만들 수 있음을 제안한다. 오미의 문헌에서의 상호접속부에 의해 제안된 상기 구현에는 본 구조 내에서 다루어지지 않는다.

상호접속될 필요가 있는 구조적인 엘리먼트들은 MOSFET 상위 게이트, 하위 게이트, 바디, 소스/드레인 확산영역들과 벌크 구조의 엘리먼트들이다.

SOI 구조들은 상위 게이트와 하위 게이트 구조를 포함할 수 있다. SIBOND 구현에서는, 매립된 하위 게이트가 매립된 산화층내에 존재할 수 있다. SIMOX 구현에서는, 확산된 제 2 게이트가 실리콘 기판내에 존재하고 형성될 수 있다. 실리콘 표면, 바디, 하위 게이트와 벌크 소자 엘리먼트들 사이에 전기적인 접속을 설정하기 위해서는 상호접속부 구조들이 필요하다. 상이한 엘리먼트들간의 상호접속 엘리먼트들은 SOI상 단일 게이트 CMOS, SOI상 이중 게이트 CMOS, DTMOS(dynamic threshold MOSFETs)에 대하여 유리할 수 있다. DTMOS에서는, MOSFET 트랜지스터의 문턱 전압(threshold voltage)을 동적으로 변화시키는 데 MOSFET 바디가 사용된다.

SOI에 있어 정점중 하나는 바디 접점(body contact)이다. 하나의 문제점은 바디와 전기적인 전위사이 전기적인 접속을 만드는데 추가적인 영역이 필요하다는 것이다. 벌크 CMOS에서는, MOSFET 바디에 대해 기판이 자연 접지판으로 동작한다. SOI에서는, 바디와 전원 공급 연결선들(connections), 벌크 소자들 혹은 벌크 접점들 사이에 접속을 만드는데 새로운 3 차원 구조가 유리하다.

SOI상 이중 게이트 CMOS에서는, 매립 게이트 혹은 확산 벌크 게이트를 접속하는 상호접속부들이 추가적인 실리콘 영역을 피하는데 유리할 수 있다.

DTMOS에서는, 매립 게이트 내지 확산 벌크 게이트를 MOSFET 바디에 연결하는 상호접속부들이 추가적인 실리콘 영역을 줄이는데 유리할 수 있다.

벌크 엘리먼트들만으로 또는 벌크와 SOI 엘리먼트들 둘 다로 구성되는 3 차원 회로들에 대해서는, 추가적인 실리콘 영역을 축소하기 위하여 이러한 엘리먼트들간의 상호접속들이 필요하게 된다.

벌크 엘리먼트들만으로 또는 벌크와 SOI 엘리먼트들 둘 다로 구성되는 벌크 ESD 회로망에 대해서는, 추가적인 실리콘 영역을 축소하기 위해 이러한 엘리먼트들간의 상호접속들이 필요하게 된다.

발명이 이루고자하는 기술적 과제

본 발명은 SOI 기술에 있어 ESD 보호 문제와 3 차원 ESD 회로망의 형성을 위한 상호접속들에 관한 것이다.

본 발명은 ESD 회로망들이 능동 코어 회로(active core circuitry)아래 위치하는 3 차원 SOI 구조를 형성함으로써 높은 외주(perimeter) 및 공간 집중을 요하는 ESD 회로망의 문제를 다룬다.

본 발명은 벌크 실리콘내 다이오드 기반의 ESD 회로망들을 위한 상호접속들을 형성함으로써 폴리실리콘 구조들이 가지는 높은 외주 및 커패시턴스 문제를 회피한다.

본 발명은 벌크내에 ESD 회로망이 있고, 벌크 ESD 회로망 위 또는 이에 인접한 SOI 막내에 능동 코어 회로가 있는 3 차원 상호접속부 SOI 구조를 형성함으로써 ESD 회로망의 높은 외주 및 공간 집중을 요하는 문제를 처리한다.

본 발명은 3 차원 등적 문턱 전압 MOSFET SOI 회로들에 상호접속부 구조를 제공한다.

본 발명은 상기 장치 구조의 일부에 대하여 벌크 실리콘의 사용을 가능하게 한다. 특히, 본 발명은 벌크내의 소자와 SOI(silicon-on-insulator) 구조내의 소자 사이에 전기적인 접속을 제공한다.

특히, 본 발명은 벌크 능동 소자들과 SOI 소자들 양쪽 그리고 벌크 능동 소자들과 SOI 소자들을 상호접속하는 전기 전도성 스터드(stud)를 포함하는 SOI 반도체 소자에 관한 것이다.

또한, 본 발명은 SOI 반도체 소자내 벌크 능동 소자들과 SOI 소자들 사이의 전기적 상호접속부의 제조 및 형성 방법에 관한 것이기도 하다.

본 발명의 공정은

SOI 벌크 기판내에 능동 소자들을 제공하는 단계와,

상기 SOI 벌크 기판위에 위치하는 상위 반도체 기판 재료를 제공하는 단계와,

상기 상위 반도체 기판 재료 위에 능동 소자들을 제공하는 단계와,

상기 상위 반도체 기판위에 유전층을 제공하는 단계와,

상기 상위 반도체 기판 재료와 SOI 벌크 기판내 능동 소자들 사이에 접점 트렌치들을 규정하는 단계와,

금속 타입의 전도성이 높은 전기적 상호접속부 재료를 증착(deposit)함으로써 바람직한 전기적 상호접속부를 제공하는 단계를 포함한다.

또한, 본 발명의 또 다른 특징은 상위 반도체 층으로부터 전기적 상호접속부를 분리시키기 위한 절연층을 포함한다는 것이다.

본 발명의 다른 목적들과 장점들은 하기 상세한 설명 - 단지 본 발명을 수행하도록 의도된 최상의 모드에 대한 도해만으로 바람직한 실시예를 서술함 -- 으로부터 당업자들에게 곧 분명하게 될 것이다. 알게 될 것이지만, 본 발명은 다른 별개의 실시예가 가능하며, 그 실시예의 여러 상세한 부분들에 대해서는 본 발명으로부터 이탈함이 없이 수정 및 여러 분명한 관점들이 가능하다. 따라서, 도면과 설명은 제한적인 것이 아닌 본래 예시적인 것으로 간주되어야 한다.

발명의 구성 및 작용

본 발명에 대한 이해를 돕기 위하여, 도면을 참조할 것이다. 편의상 본 발명의 제조 단계에 대한 논의에서 특정 타입의 기판 및/또는 특정 타입의 도판트 불순물을 언급하는 경우, 본 발명의 정신에서 이탈하지 않고 반대 타입에 대해 본 발명을 적용할 수 있음을 이해하여야 한다. 예컨대, p 타입 기판이 반도체 기판으로, 그리고 n 타입 불순물이 확산 또는 임플란트 도판트 불순물로 언급되는 경우에는, n 타입 기판과 p 타입 확산 또는 임플란트 불순물이 마찬가지로 적절하다는 것을 이해하여야 한다. 게다가, 논의에서 n 타입 불순물을 언급하는 경우, 이 공정 단계를 p 타입 불순물에 응용할 수 있고 그 역도 가능함을 이해하여야 한다. 또 제 1 타입(first type) 불순물과 제 2 타입(second type)에 대해 언급하는 경우, 제 1 타입은 p 타입 불순물을 말하고 제 2 타입은 반대 전도 타입에 대해 언급하고 있음을 이해하여야 한다. 다시 말해, 제 1 타입이 p 타입이면, 제 2 타입은 n 타입이다. 제 1 타입이 n 타입이면, 제 2 타입은 p 타입이다.

또, 본 발명은 이 기술에 잘 알려진 실리콘 이외의 기판에도 적용될 수 있다. 게다가, 본 명세서에서 사용되는 바와 같이, 금속 타입 상호접속 재료(metallic-type interconnection material) 또는 고 전기 전도성 상호접속 재료(high electrical interconnection material)라는 용어들은 비금속 재료들, 이를테면 금속이 일반적으로 보유하고 있는 크기의 전기 전도도를 가질 수 있는 고농도로 도핑된 폴리실리콘 혹은 인터메탈릭 실리사이드(intermetallic silicides)뿐만 아니라 알루미늄, 구리, 텅스텐과 같은 금속을 의미한다. 또한, 폴리실리콘과 다결정 실리콘이라는 용어들은 종래 기술에서와 마찬가지로 본 명세서에서 도 서로 번갈아 가며 사용된다.

도 1은 p- 타입 혹은 p+ 타입 실리콘 웨이퍼(1)내에 n- 타입 웰 영역(9)을 마련한 것을 도시하고 있다. n- 타입 웰 영역(9)은 잘 알려진 이온 주입 혹은 확산 기술에 의해 마련할 수 있다. 기판과 동일한 극성인 경우 웰은 기판에 대한 접점(contact)으로 동작할 것이다. n- 타입 웰내에 담겨진 두 번째 임플란트 영역(50)은 p+ 타입 혹은 n+ 타입으로 정의될 수 있다. n+ 타입 임플란트의 경우, 영역(50)은 n- 웰에 대한 접점으로서 기능할 것이다. p+ 임플란트의 경우, 영역(50)은 p-n 다이오드(p+ 임플란트와 n- 웰 사이에 형성됨) 혹은 수직 바이폴라 트랜지스터(p+ 임플란트, 웰 및 기판(영역 50, 9 및 1)으로부터 형성됨)로 기능할 것이다. 이러한 엘리먼트들은 접점(contact), 아날로그 기능부들, ESD 회로망 또는 CMOS 혹은 BiCMOS 회로 응용들을 위해 사용될 수 있다. 실리콘에 있어 n 타입 도판트들은 전형적으로 인(phosphorous)과 비소(arsenic)이다. 실리콘에 있어 p 타입 도판트들에는 붕소가 포함된다. 벌크 실리콘 웨이퍼(1)위에는 절연층(3)을 마련한다. 적절한 절연층의 예로서 실리콘 산화물(silicon dioxide)과 실리콘 질화물(silicon nitride)이 포함된다. 열 산화 처리(thermal oxidation process) 또는

는 대략 800-1000℃ 온도에서 $CO_2/SiH_4/N_2$ 혹은 $N_2O/SiH_4/N_2$ 로 된 가스 혼합물을 사용하는 것과 같은 기상 반응법(chemical vapor deposition)에 의해 실리콘 기판(1)위에 산화막을 성장시킬 수 있다.

이러한 분리층(3)은 매립된 분리층이라 지칭할 수 있다.

다음에, 실리콘 등의 상위 반도체 기판 재료가 분리층(3)위로 제공될 수 있다. 예컨대, 실리콘층(4)을 기체-고체 즉 이형 반응 시스템(heterogeneous reaction system)에 의해 성장시킬 수 있다. 특히, 그러한 반응 시스템은 바람직하게 수소, 실리콘 및 염소를 포함한다. 전형적인 시스템은 실베스테리(Silvesteri)와 탕(Tang)에 의한 Reproducible Technique for Simultaneous Deposition of

Poly-Epi on Oxide-Silicon, IBM Technical Disclosure Bulletin, Volume 23, NO.2, July 1980 pp.810-

820에 개시된 바와 같이 $SiCl_4-H_2$ 의 화합물인데, 이를 개시내용은 본 명세서에서 참조로서 인용된다. 실리콘층(4)은 원하는 구조에 따라 n 타입 혹은 p 타입으로 도핑될 수 있다. 도핑은 이온 주입 또는 열적 확산에 의해 수행될 수 있다. 도 1은 n+ 도핑(10)을 도시하고 있다.

다음, 능동 소자(도 1에서는 게이트(6))와 함께 상위 반도체 기판위에 유전층(5)이 형성된다. 예를 들면, 기상 반응법에 의해 하나의 층 혹은 다결정 실리콘을 증착하고, 이어서 여러 기술중 어느 하나에 의해 비소, 인 혹은 안티몬 따위의 n 타입 도판트를 도핑함으로써 게이트(6)가 제공될 수 있다. 기상 반

응법 따위의 방법으로 폴리실리콘위에 추가적인 두꺼운 SiO_2 층이 증착될 수 있다. 이것은 다결정 재료를 규정하는 것을 돕는 에칭 마스크(etching mask)로 기능한다. 양 측면에 산화물(7)이 남아있는 게이트(6)는 주지 기술에 의해 규정될 수 있다. 예컨대, 알려진 리소그래픽 마스크(lithographic masking) 및 에칭 기술들에서 채택된 타입의 절연 도료로 구성된 층따위를 결정하는 게이트 패턴이 산화막 표면위에 배치될 수 있다. 종래 기술에 알려진 주지의 감광성 중합 절연 도료들중 어느 것이나 사용될 수 있다. 스피닝 온(spinning on) 혹은 스프레이(spraying) 따위의 방법에 의해 절연 도료를 도포(apply)할 수 있다. 도포한 후, 절연 도료층을 포토리소그래픽 마스크(photolithographic mask)를 사용하여 자외선 방사에 선택적으로 노출할 수 있다. 마스크는 미리 결정된 패턴으로 게이트를 정의하는 불투명한 부분들을 포함하는 투명한 재료를 가질 것이다. 다음에 마스크된 웨이퍼를 자외선 빛에 쬔 여, 이것에 의해 마스크의 투명한 영역들 밑에 있는 레지스트 재료 부분을 중합시킨다. 다음으로 실리콘

이산화물(SiO_2) 및 감광 재료의 일부를 제거하고 이어서 원하는 게이트 영역을 제외한 나머지 폴리 실리콘 부분들을 제거한다. 다음에, 게이트 영역 위에 있는 감광 재료 및 실리콘 이산화물 재료의 나머지 부분들을 제거한다.

다음으로, 절연층(5)을 형성한다. 이 절연층을 상기 조합물위에 성장시키거나 그 위에 도포할 수 있다. 그러한 것은 실리콘 이산화물이 될 수 있고 기상 반응법에 의해 마련될 수 있다.

다음에 상위 반도체 기판(4)위 능동 소자 및 SOI 벌크 기판(1)내 능동 소자 사이에 접합 트랜치(11)를 규정한다. 상기 트랜치는 잘 알려진 리소그래픽 수단으로 규정될 수 있다. 구체적으로, 감광 재료를 산화층(5)위에 공급하고, 이어서 이 감광 재료에 대한 통상의 규정 및 현상 작업을 거쳐 트랜치가 제공될 영역을 정의한다. 다음, 감광 재료의 제거로 드러난 부분은 주지 기술들중 어느 하나 이를테면 반응성 이온 에칭(reactive ion etching) - 이는 에프라드(Ephrath)에 허여된 미국 특허 제 4,283,249 호에 개시된 것으로, 그 개시 내용은 본 명세서에서 참조로서 인용됨 - 방법으로 에칭될 수 있다. 특히, 플루오르카본(fluorocarbon) 및 수소를 공급할 수 있는 기체를 포함하는 기체 혼합물을 사용하여 실리콘 이산화물을 에칭할 수 있다. 대안적으로, 습식 화학물 이를테면 불화 수소산 완충액(buffered hydrofluoric acid)이 산화막을 용해시키는데 사용될 수 있다. 다음으로 노출된 실리콘 층을 반응성 이온 공정 - 예컨대 포그(Pogge)에 허여된 미국 특허 제 4,256,514 호에 개시된 것으로, 그 개시 내용은 본 명세서에서 참조로서 인용됨 - 을 사용하여 에칭할 수 있다.

다음으로, 예컨대 반응성 이온 에칭 따위를 사용하여 에칭함으로써 트랜치를 완성한다.

다음으로, 트랜치(11)에 금속 타입의 고전도성인 전기적 상호접속 재료(12)(도 2 참조)를 채워 매립된 산화층 위의 소자들과 그 아래 혹은 내부의 소자들 사이에 전기적인 상호접속을 제공한다. 이러한 전기적 상호접속들은 텅스텐, 구리 그리고 알루미늄 따위의 금속들과 고농도로 도핑된 다결정 실리콘을 포함할 수 있다. 트랜치는 에프라드들(Eprath et al.)에 허여된 미국 특허 제 4,473,598 호에 개시된 기술 - 그 개시 내용은 본 명세서에서 참조로서 인용됨 - 에 의하여 보다 높은 농도로 도핑된 다결정 실리콘으로 채울 수 있다. 금속들은 기상 반응법에 의해 또는 적당한 크기의 금속선을 제공함으로써 공급될 수 있다. 금속의 경우, 융착을 강화하기 위하여 전형적으로 티타늄(titanium) 혹은 탄탈(tantalum) 따위의 중간층(13)이 산화막과 실리콘 그리고 텅스텐, 구리 혹은 알루미늄 사이에 제공된다. 예컨대, 텅스텐과 알루미늄을 사용할 때는, 전형적으로 티타늄 도금(cladding)을 사용한다. 구리를 사용하는 경우, 전형적으로 탄탈 도금을 사용한다.

도 2는 게이트 구조(6)따위의 소자 혹은 다른 CMOS 소자들 사이로부터 벌크 능동 소자들로의 전기적 상호접속부를 도시하고 있다.

도 3과 도 4는 본 발명의 다른 실시예로서, 상위 실리콘 내에 분리 트랜치(14)를 제공하는 것을 도시하고 있다. 이 경우, 채택된 과정에는 먼저 앞에서 논의된 바와 같이 SOI 벌크 실리콘 내 능동 소자들, 이를테면 n- 타입 웰을 공급하는 과정이 포함된다. 이어서 주지 기술들, 이를테면 본더들(Bondur et al.)에 허여된 미국 특허 제 4,104,086호에 개시된 기술 - 그 개시 내용은 본 명세서에서 참조로서 인용됨 - 을 사용하여 상위 실리콘 층(4)내에 분리 트랜치(14)를 형성하게 된다. 다음으로 이 절연 트랜치에 산화물 혹은 유전체를 채우고 이어서 실리콘 표면까지 평탄화한다. 분리 트랜치를 형성하는 다른 기술은 크로닌들(Cronin et al.)에 허여된 미국 특허 제 5,312,777 호 - 그 개시 내용은 본 명세서에서 참조로서 인용됨 - 에 개시되어 있다. 이 기술에서는, 접점 홈(contact hole)내에 접점(contact)을 주위 막들로부터 전기적으로 분리하는 스페이서(spacer)가 형성된다. 상호접속부 구조내에 상위 실리콘 층으로부터 상호접속부를 분리하는 스페이서들(spacers)을 형성하는데 이 기술을 사용할 수 있을 것이다.

도 3에 도시된 바와 같이 분리 영역(14)이 공급된 후, 이상에서 논의된 순서에 따라 소자를 제조하여, 도 4에 도시된 바와 같은 구조를 제공한다. 다음으로, 도시된 표면들과 수직한 평면 내에 제조된 소자들에 대한 접점이 만들어 질 수 있다.

위에서 논의된 바와 같이, 영역(1)내에 포함된 웰 영역(9)은 제 2 영역(50)을 포함할 수 있다. 상기 벌크 소자의 기능은 상기 세 영역들의 도판트 극성에 따라 달라진다. 영역(9)과 영역(50), 그리고 영역(1)의 극성이 동일한 경우, 그것은 벌크 전기적 혹은 열적 접점(contact)이 된다. 영역(9)과

영역(50)이 극성이 동일하나 영역(1)과 반대인 경우 그것은 다이오드가 된다. 영역(9)과 영역(1)이 극성이 동일하나 영역(50)과 반대인 경우 그것은 다이오드가 된다. 영역(50)과 영역(1)이 극성이 동일하나 영역(9)과 반대인 경우 바이폴라 트랜지스터가 된다.

도 5는 기판(20)내 능동 영역(21)이 도핑된 능동층(23)에 상호접속되는 본 발명에 따른 구조를 도시하고 있다. 기판(23)과 (20)은 매립된 절연층(22)에 의해 분리된다. 상위층의 영역(24)과 (25)위에는 동일한 또는 반대의 극성을 가진 임플란트들, 예컨대 소스/드레인 MOSFET 임플란트들이 있다. 전기적 상호접속부(26)는 예컨대 절연체(27)와 상위 절연체(28)에 의해 부분적으로 분리된다.

영역(21)은 벌크 기판(20)과 동일 또는 반대 극성인 적어도 하나의 임플란트가 될 수 있다. 상기 구조의 기능은 세 영역들의 도판트 극성에 따라 달라진다. 영역(23)과 영역(21) 그리고 영역(20)이 극성이 동일한 경우, 그것은 벌크 전기적인 또는 열적 접점이 된다. 이 경우, 그것은 또한 SOI MOSFET 바디 접점(body contact)으로 기능한다. 영역(23)과 영역(21)이 극성이 동일하나 영역(20)과 반대인 경우 상기 SOI MOSFET 바디와 영역(21)은 벌크 기판쪽으로 다이오드를 형성한다. 두 번째 경우, 다이오드는 회로 응용들, 전압 클램프(clamp), ESD 보호와 다른 어떤 회로 기능부로서도 사용될 수 있다.

도 6은 상호접속부(26)가 실리콘층(23)의 윗면까지 확장되어 있고 절연체(28)를 포함하지 않는다는 것을 제외하고는 도 5의 구조와 유사한 구조를 보여주고 있다. 도 6에 도시된 구조는 SOI MOSFET 바디와 벌크 소자 양쪽에 상위 접점(top contact)을 제공한다. 그 결과, 그것은 MOSFET 바디 접점과 벌크 소자 접점으로 기능할 것이다. 영역(21)의 극성이 영역(20)과 동일하면, MOSFET 바디 접점과 벌크 접점 양쪽으로 모두 기능한다.

전도 영역(32)은 SOI MOSFET의 제 2 게이트로 동작할 수 있다. 이 경우, 전도 영역(32)은 SOI MOSFET 채널 영역 밑에 위치해야 하므로 게이트 절연체는 막(35)과 전도 영역(32)위 매립된 산화물 영역(34)사이에서 형성된다. 이러한 제 2 게이트는 SOI MOSFET의 향상된 특성들을 나타낸다. 전도 영역(32)은 또한 벌크내의 두꺼운 벌크 산화물 MOSFET에 대한 게이트로 동작할 수 있다. 이 경우, 게이트 유전체는 전도 막(32)아래 매립된 산화물 영역이 된다.

도 7은 기판(30)위 매립된 절연층(31)내에 매립된 컨덕터(32)가 상호접속부(33)에 상호접속되어 있는 구조를 보여주고 있다. 다음으로, 이것은 본 도면의 표면과 수직하게 위치하는 능동 소자(도시되지 않음)에 접속될 수 있다. 주지된 바와 같이 절연층(34)은 상호접속부(33)를 상위 실리콘 기판으로부터 완전히 분리한다. 또한, 절연체(36)는 상호접속부 컨덕터(33)를 기판(35)의 상위로부터 분리한다. 도 7의 특정한 구성은 SIBOND 공정을 사용하여 제조될 수 있다. SIBOND 공정에서는, 서로 접촉하는 산화물 층을 각각 갖는 두 개의 웨이퍼들이 함께 베이킹된다. 특히 그 위에 산화물이 제공된 제 1 실리콘 기판이 에칭되어 후속적인 층전에 의해 컨덕터(32)를 제공하는 비아 혹은 컨딧(conduit)을 제공한다. 다음에, 그 위에 산화물 층을 가지는 실리콘 웨이퍼가 서로 인접하는 산화물 층들과 접촉하여 두 실리콘 웨이퍼들 사이에 산화물의 샌드위치층을 제공한다. 상기 구조는 다음에 약 1300°C-1400°C에서 여러 시간동안 베이킹되고, 그 후 상부 실리콘 층(35)은 두께를 줄이기 위해 폴리싱(polishing)된다. 이후에, 상기 소자의 나머지가 상기 논의된 방법으로 제조된다. 컨덕터(32)는 백 게이트(back gate) 또는 와이어링 레벨(wiring level)에 대한 접점으로 동작할 수 있거나, 또는 이 도면에 수직하게 위치한 능동 소자(도시하지 않음)에 접속될 수 있다.

도 8은 상호접속부 컨덕터(33)가 상위 기판(35)의 상위에까지 확장되고 도 7에 도시된 구조와 같이 기판(35)의 상위로부터 분리되지 않는다는 점을 제외하고 도 7과 유사한 구조를 도시하고 있다. 이 경우, 한 응용은 전도 영역(32)을 바이어스할 수 있는 능력이다. 이런 방법으로, 백 게이트는 상위 및 하위 게이트를 사용하여 향상된 SOI MOSFET 특성을 위해 바이어스될 수 있다.

도 9는 분리 영역(34)이 상위 실리콘 기판층(35)의 하부까지 뻗지 않지만, 상호접속부(33), 도핑된 실리콘 층(35)의 영역들과 컨덕터(32)사이에서 전기적인 접점을 허용한다는 점을 제외하고 도 8의 구조와 유사하다. 이 경우, 한 응용은 전도 영역(32)을 바디(35)에 접속하여 MOSFET의 게이트에서 바디로의 상호접속을 제공한다. 이는 소자의 게이트와 바디가 서로 접속되는 DTMOS(dynamic threshold MOSFET) 소자들에 응용될 수 있다.

도 10은 상호접속부(33)가 확장되어 컨덕터(32)와 실리콘 기판(30)내 능동영역(40)에 접속된다는 점을 제외하고는 도 8과 유사하다. 이 경우, 한 응용은 전도 영역(32)을 벌크 소자들에 접속한다. 영역(40)의 도판트가 벌크 영역(30)과 극성이 동일하면, 상기 응용은 백 게이트 전도막(32)을 접지할 수 있는 능력이다. 영역(40)의 도판트가 벌크 영역(30)과 극성이 반대이면, 상기 응용은 백 게이트 전도막(32)을 다이오드 구조에 접속하는 능력이다. 이는 백 게이트 구조의 전기적인 충전을 억제하는 게이트 타이 다운(gate-tie down)에 응용될 수 있다.

도 11은 분리 영역(34)이 상위 실리콘 기판(35)의 하부에까지 확장되지 않지만, 상호접속부(33)에 의해 반도체 기판(35)과 컨덕터(32)와 능동 영역(40)사이에서 상호접속을 허용한다는 점을 제외하고 도 10의 그것과 유사한 구조를 보여주고 있다. 이 경우, 한 응용은 전도 영역(32)을 벌크 소자들 및 MOSFET(35)의 바디에 접속한다. 영역(40)의 도판트가 벌크 영역(30)과 극성이 같으면, 상기 응용은 백 게이트 전도막 및 실리콘 막(35)을 접지할 수 있는 능력이다. 영역(40)의 도판트가 벌크 영역(30)과 극성이 반대이면, 상기 응용은 백 게이트 전도막 및 막(35)을 벌크 다이오드 구조에 접속할 수 있는 능력이다. 이는 과전압, 충전에 대한 등적 문턱전압의 SOI MOSFET ESD 회로망에 응용될 수 있고 또한 다른 회로들에 응용될 수 있다.

이상, 본 발명은 많은 다른 구조들을 만들 수 있게 한다. 또한, 컨덕터(32)에 인접한 분리 영역(34)이 컨덕터(33)의 단지 한 측면위로 확장되는 다양한 구조들이 만들어 질 수 있음도 이해하여야 한다.

여기서는 본 발명의 단지 바람직한 실시예들만이 도시 및 설명되었지만, 전술한 바와 같이 본 발명은 다양한 다른 조합과 환경 내에서 사용될 수 있고, 본 명세서에 기술된 본 발명 개념의 범위 내에서 변형 혹은 수정이 가능함을 이해하여야 할 것이다.

발명의 효과

따라서, 본 발명에 의하면, 벌크내에 ESD 회로망이 있고, 벌크 ESD 회로망 위 또는 이에 인접한 SOI 막 내에 능동 코어 회로가 있는 3 차원 SOI 구조를 형성할 수 있게 되어 ESD 회로망이 가지는 높은 외주 및 공간 집중을 요하는 문제를 해결할 수 있게 된다.

(57) 청구의 범위

청구항 1

SOI(silicon-on-insulator) 반도체 소자에 있어서,

벌크 능동 소자들 및 SOI 소자들을 모두 포함하고, 상기 반도체 소자의 벌크 능동 소자들과 SOI 소자들을 전기적으로 상호접속하는 전기 전도성 스태드들을 포함하는

SOI 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 전기 전도성 스태드들은 텅스텐, 구리, 알루미늄 및 고농도로 도핑된 다결정 실리콘으로 구성되는 그룹으로부터 선택되는 전기 전도성이 높은 재료로 이루어지는

SOI 반도체 소자.

청구항 3

제 1 항에 있어서,

상기 절연체는 실리콘 이산화물(SiO_2)인

SOI 반도체 소자.

청구항 4

제 1 항에 있어서,

상기 전기 전도성 스태드들은 상기 반도체 소자의 상위 반도체 기판 재료의 위 표면까지 확장되어 있는

SOI 반도체 소자.

청구항 5

제 1 항에 있어서,

상기 전기 전도성 스태드들은 상기 반도체 장치의 상위 반도체 기판 재료의 위 표면으로부터 전기적으로 분리되는

SOI 반도체 소자.

청구항 6

제 1 항에 있어서,

상기 전기 전도성 스태드들은 상기 반도체 소자의 상위 반도체 기판 재료로부터 전기적으로 분리되는

SOI 반도체 소자.

청구항 7

제 1 항에 있어서,

상기 전기 전도성 스태드들은 상기 반도체 소자의 상위 반도체 기판 재료로부터 단지 부분적으로 전기적으로 분리되는

SOI 반도체 소자.

청구항 8

제 1 항에 있어서,

상기 SOI 반도체 소자는,

그 안에 능동 소자 영역들을 가지는 실리콘 기판과, 상기 실리콘 기판 위에 위치하는 매립 실리콘 이산화물 절연층과, 상기 매립 실리콘 이산화물 절연층위에 위치하고 능동 소자 영역들을 가지는 상위 실리콘 층과, 상기 실리콘 영역내의 능동 영역을 상기 매립 실리콘 이산화물 위의 능동 소자 영역에 상호접속하는 전기 전도성 스태드들과, 상기 상위 실리콘층으로부터 상기 스태드들을 적어도 부분적으로 절연하는 절연부를 포함하는

S01 반도체 소자.

청구항 9

제 8 항에 있어서,

상기 상위 실리콘 층의 위 표면으로부터 상기 스테드들을 전기적으로 분리시키는 절연부를 더 포함하는 S01 반도체 소자.

청구항 10

제 8 항에 있어서,

상기 스테드들이 상기 상위 실리콘 층의 위 표면에까지 확장되는 S01 반도체 소자.

청구항 11

제 1 항에 있어서,

상기 S01 소자는,

실리콘 기판과, 상기 실리콘 기판위에 위치하고 그 안에 전기 전도 영역을 가지는 매립 실리콘 이산화물 절연층과, 상기 매립 실리콘 이산화물 절연층위에 위치하는 능동 소자 영역을 가지는 상위 실리콘 층과, 상기 매립 실리콘 이산화물 절연층내에 위치하는 전기 전도성 영역을 상기 매립 실리콘 이산화물 위의 능동 소자 영역들에 상호접속시키는 전기 전도성 스테드들과, 상기 상위 실리콘 층으로부터 상기 스테드들을 적어도 부분적으로 전기적으로 절연시키는 절연부를 포함하는

S01 반도체 소자.

청구항 12

제 11 항에 있어서,

상기 상위 실리콘 층의 위 표면으로부터 상기 스테드들을 전기적으로 분리시키는 절연부를 더 포함하는 S01 반도체 소자.

청구항 13

제 11 항에 있어서,

상기 스테드들은 상기 상위 실리콘 층의 위 표면에까지 확장되는 S01 반도체 소자.

청구항 14

제 1 항에 있어서,

그 안에 능동 영역들을 가지는 실리콘 기판과, 상기 실리콘 기판위에 위치하고 그 안에 전기 전도성 영역을 가지는 매립 실리콘 이산화물 절연층과, 상기 매립 실리콘 이산화물 절연층위에 위치하는 능동 소자 영역을 가지는 상위 실리콘 층과, 상기 매립 실리콘 이산화물 절연층내에 위치하는 전기 전도성 영역을 상기 실리콘 기판 내의 능동 소자 영역들에 상호접속시키는 전기 전도성 스테드들과, 상기 상위 실리콘 층으로부터 상기 스테드들을 적어도 부분적으로 전기적으로 절연시키는 절연부를 포함하는

S01 반도체 소자.

청구항 15

제 14 항에 있어서,

상기 스테드들이 상기 상위 실리콘층의 위 표면에까지 확장되는 S01 반도체 소자.

청구항 16

제 14 항에 있어서,

상기 스테드들이 또한 상기 상위 실리콘층내의 능동 소자 영역들을 상호접속하는 S01 반도체 소자.

청구항 17

S01 반도체 소자내 벌크 능동 소자들과 S01소자들 사이의 전기적 상호접속부의 제조 및 형성 방법에 있어서,

㉓ S01 벌크 기판 내에 능동 소자들을 제공하는 단계와,

㉔ 상기 S01 벌크 기판위에 위치하는 상위 반도체 기판 재료를 제공하는 단계와,

㉔ 상기 상위 반도체 기판 재료 위에 능동 소자들을 제공하는 단계와,

㉕ 상기 상위 반도체 기판위에 유전층을 제공하는 단계와,

㉖ 상기 상위 반도체 기판 재료 위의 능동 소자들과 상기 SOI 벌크 기판내 능동 소자들 사이에 접점 트랜치들(trenches)을 규정하는 단계와,

㉗ 상기 트랜치들내에 금속 타입의 전기 전도성이 높은 상호접속부 재료를 증착함으로써 상기 전기적 상호접속부를 제공하는 단계를 포함하는

전기적 상호접속부의 제조 및 형성 방법.

청구항 18

제 17 항에 있어서,

상기 전도성이 높은 전기적 상호접속부는 텅스텐, 구리, 알루미늄 및 고 농도로 도핑된 다결정 실리콘으로 구성되는 그룹으로부터 선택되는

전기적 상호접속부의 제조 및 형성 방법.

청구항 19

제 17 항에 있어서,

상기 유전층은 실리콘 이산화물인

전기적 상호접속부의 제조 및 형성 방법.

청구항 20

제 17 항에 있어서,

상기 상위 반도체 층으로부터 상기 전기적 상호접속부를 적어도 부분적으로 분리시키도록 절연체를 제공하는 단계를 더 포함하는

전기적 상호접속부의 제조 및 형성 방법.

청구항 21

제 20 항에 있어서,

상기 상위 반도체 층으로부터 상기 전기적 상호접속부를 적어도 부분적으로 분리시키도록 절연체를 제공하는 상기 단계가 단계 ㉕와 ㉖ 사이에 수행되는

전기적 상호접속부의 제조 및 형성 방법.

청구항 22

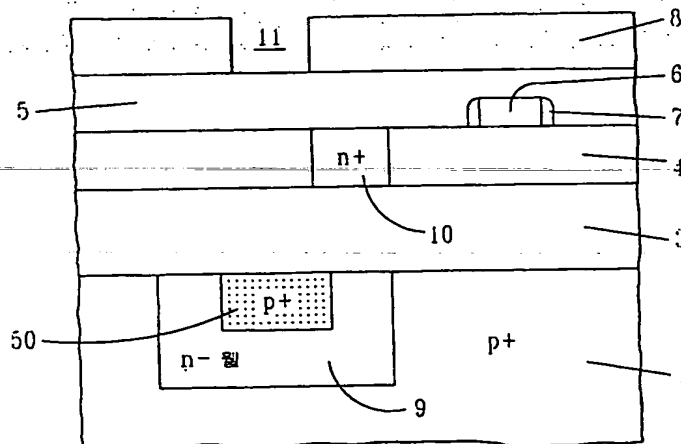
제 20 항의 공정에 의해 얻어지는 SOI 반도체 소자.

청구항 23

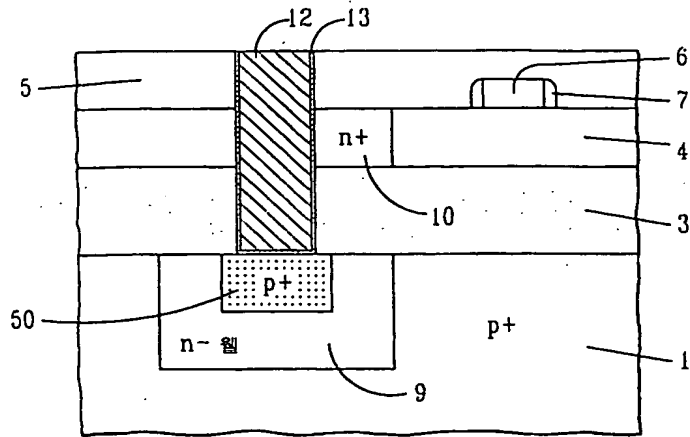
제 17 항의 공정에 의해 얻어지는 SOI 반도체 소자.

도면

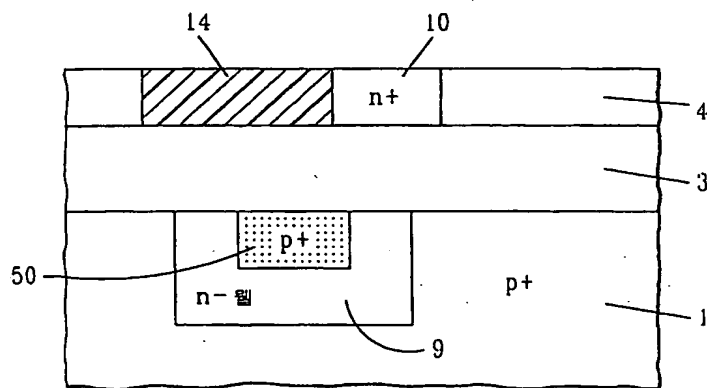
도면1



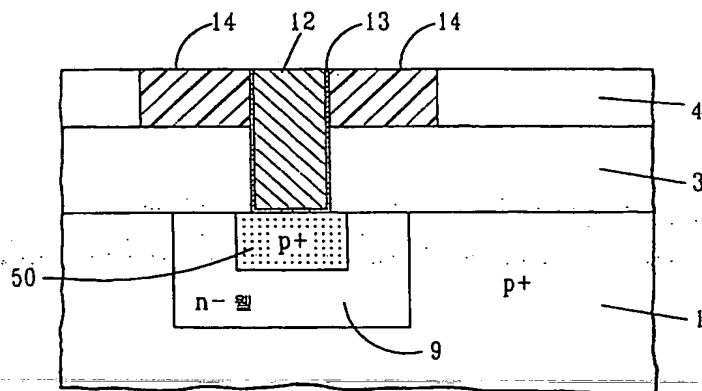
도면2



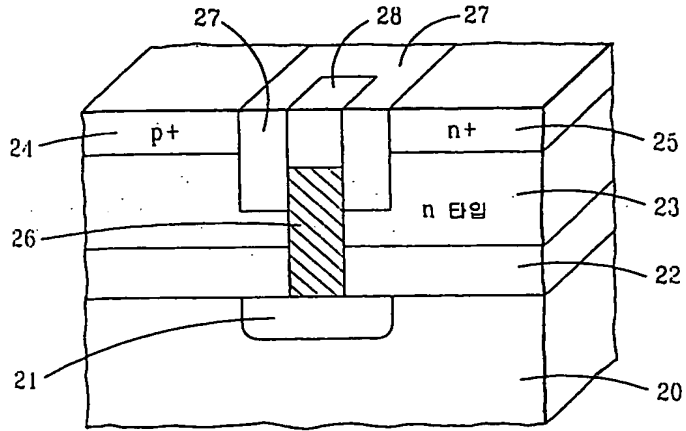
도면3



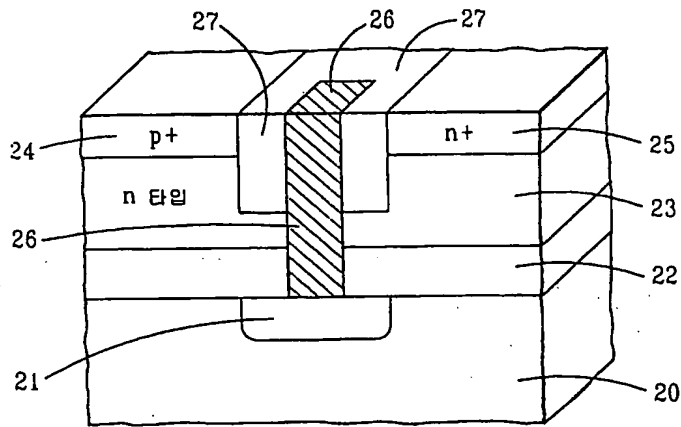
도면4



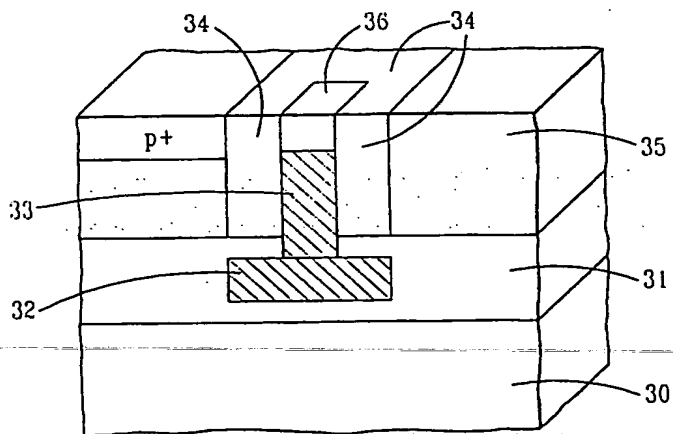
도면5



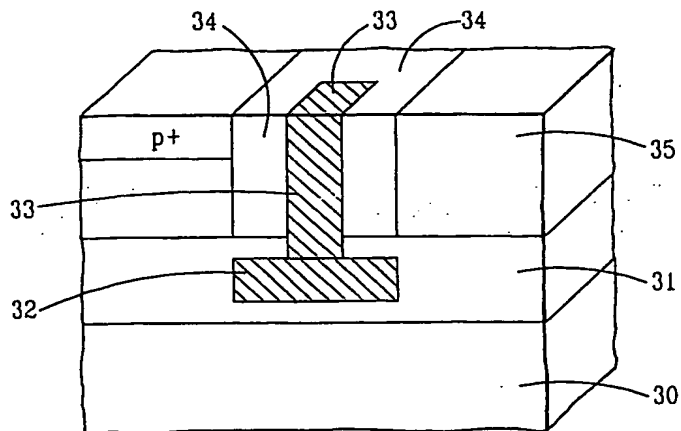
도면6



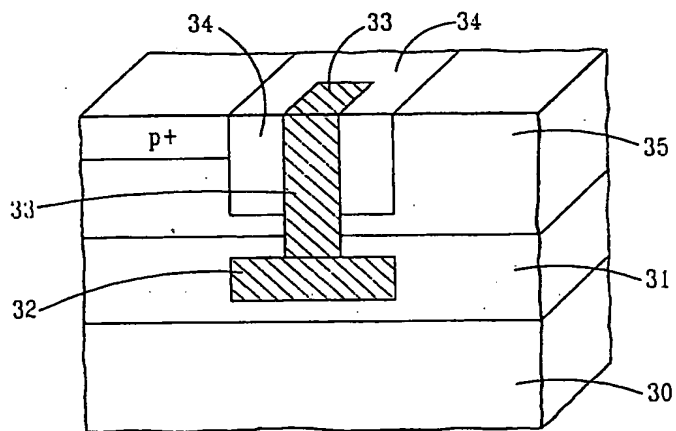
도면7



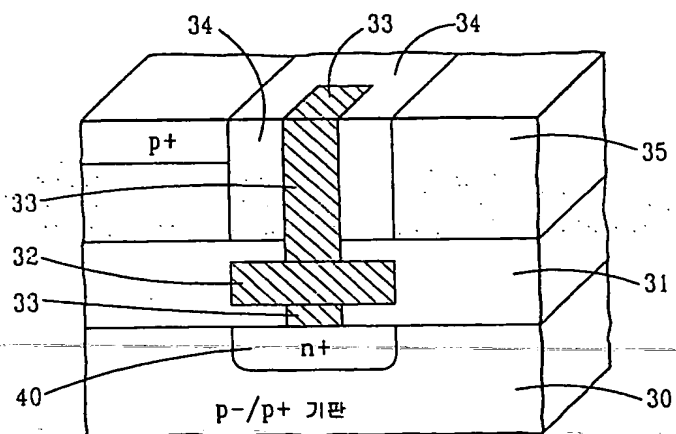
도면8



도면9



도면10



도면 11

